



ifw

01272.020659.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	
	:	Examiner: Not Yet Assigned
MASAYASU TOMIYAMA)	
	:	Group Art Unit: Not Yet Assigned
Application No.: 10/782,996)	
	:	
Filed: February 23, 2004)	
	:	
For: AC/DC CONVERTER AND POWER)	
SUPPLY SYSTEM USING THE	:	
SAME)	May 18, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Sir:

In support of Applicant's claim for priority under 35 U.S.C. § 119, enclosed is a certified copy of the following foreign application:

2003-051923 filed February 27, 2003.

Applicant's undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,


Attorney for Applicant

Registration No. 43,279

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 7 日
Date of Application:

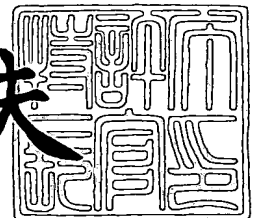
出 願 番 号 特 願 2 0 0 3 - 0 5 1 9 2 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 5 1 9 2 3]

出 願 人 キヤノン株式会社
Applicant(s):

2 0 0 4 年 3 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 251567

【提出日】 平成15年 2月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 3/28

【発明の名称】 A C - D C コンバータ

【請求項の数】 1

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社
社内

 【氏名】 富山 正康

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

【代理人】

 【識別番号】 100077481

 【弁理士】

 【氏名又は名称】 谷 義一

【選任した代理人】

 【識別番号】 100088915

 【弁理士】

 【氏名又は名称】 阿部 和夫

【手数料の表示】

 【予納台帳番号】 013424

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9703598

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 A C - D C コンバータ

【特許請求の範囲】

【請求項 1】 商用電源からの交流電圧を整流して平滑された直流電圧を、スイッチング素子によって制御し、一定の出力電圧に変換して出力端子に出力する A C - D C コンバータにおいて、

前記出力端子の電圧が所定の電圧となるように、前記スイッチング素子を制御する制御回路を有し、

前記所定の電圧は、前記一定の直流出力より高いことを特徴とする A C - D C コンバータ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、電源システムに関し、より詳細には、自励型フライバックコンバータを有する電源システムに関する。

【 0 0 0 2 】

【従来の技術】

(スイッチング電源装置の基本動作)

商用電源を用いた電源システムは、通常、直流出力を得るため A C - D C コンバータを備えるが、このような A C - D C コンバータとして、従来、自励型フライバックコンバータ（またはリングングチョークコンバータ（R C C）という）が広く用いられている。図 5 は、従来の自励型フライバックコンバータの回路の基本構成を示す図である。絶縁トランス 1 は入力側の 1 次巻線 N_p と出力側の 2 次巻線 N_s および 1 次側の補助巻線 N_b によって構成されている。補助巻線 N_b は、スイッチング素子である MOS-FET 2 のゲート電圧を制御するトランジスタ 3 の駆動用巻線である。入力電圧 E は、AC 入力電圧をブリッジダイオードで整流して、アルミ電界コンデンサによって平滑された直流電圧であり、アルミ電解コンデンサの両端の電圧である。ここでブリッジダイオード、アルミ電解コンデンサは図示していない。

【 0 0 0 3 】

入力電圧Eは1次巻線Npの一端とMOS-FET2のドレイン端子の間に印加され、入力電圧の(+)側は1次巻線Npの巻きはじめ、入力電圧の(-)側はMOS-FET2のソース端子に接続されている。また、補助巻き線Nbは1次巻き線Npと同極に、2次巻線Nsは異極に配置されている。MOS-FET2のゲート端子には起動抵抗4、5が接続されている。また、MOS-FET2のゲート端子と補助巻線Nbの巻きはじめとの間には、コンデンサ6とゲート抵抗7、8が接続されている。ゲート抵抗8の両端には、カソードを補助巻線Nb側に向けたダイオード9が接続されており、MOS-FET2のターンオン、ターンオフのスピードを調整している。

【 0 0 0 4 】

トランジスタ3のベースと入力電圧の(-)側との間には、コンデンサ10が接続されている。抵抗11は、補助巻線Nbとトランジスタ3のベースとの間に接続され、コンデンサ10とあわせて時定数回路を構成している。

【 0 0 0 5 】

フォトカプラ12のコレクタとMOS-FET2のゲートとの間には抵抗13が接続され、フォトカプラ12に流れる電流を制限しており、フォトカプラ12のエミッタはトランジスタ3のベースに接続されている。絶縁トランス1の2次巻線Nsの巻き終わりには整流用のダイオード14のアノード側が接続されている。電界コンデンサ15は、ダイオード14のカソード側と2次巻線Nsの巻きはじめとの間に接続され平滑化を行っている。

【 0 0 0 6 】

出力電圧Voは抵抗16、17によって分圧され、分圧された電圧はOPアンプ18の反転入力端子に印加される。ツェナーダイオード19と抵抗20とで生成された基準電圧は、OPアンプ18の非反転入力端子に入力され、OPアンプ18は反転入力端子に印加された電圧を、入力された基準電圧と比較して出力端子の電圧を調整することによって、抵抗21を介してフォトカプラ12のダイオードに流れる電流を制御している。OPアンプ18の反転入力端子と出力端子との間に接続された抵抗22とコンデンサ23は閉ループの利得、位相を調整するためのものである。

【 0 0 0 7 】

まず、入力電圧Eが印加されるとMOS-FET2は起動抵抗4、5によりゲート端子にバイアスが印加され導通状態となる。MOS-FET2が導通状態になると1次巻線Npに入力電圧Eが印加され、補助巻線Nbに巻きはじめ側を(+)とする電圧が誘起される。このとき2次巻線Nsにも電圧が誘起されるが、整流ダイオード14のアノード側を(-)とする電圧であるため2次側には電圧は伝達されない。従って、1次巻線Npを流れる電流は絶縁トランス1の励磁電流だけで絶縁トランス1には励磁電流の2乗に比例したエネルギーが蓄積され、この励磁電流は時間に比例して増大する。補助巻線Nbに誘起された電圧によりコンデンサ6、抵抗7、8を介してMOS-FET2のゲートが充電され、さらに導通状態が継続される。

【0 0 0 8】

時定数回路を構成している抵抗11、コンデンサ10には補助巻線Nbから電荷が充電され、コンデンサ10の両端の電圧がトランジスタ3のVbeより高くなるとトランジスタ3が導通状態となり、MOS-FET2のゲート電圧が低下することでMOS-FET2は非導通状態となる。このとき絶縁トランスの各巻線には起動時と逆向きの電圧が発生し、2次巻線には整流ダイオード14のアノード側を(+)とする電圧が発生するため、絶縁トランス1に蓄積されたエネルギーが整流、平滑され、2次側に伝達される。絶縁トランス1に蓄えられているエネルギーが2次側にすべて伝達されるとMOS-FET2は再び導通状態となる。

【0 0 0 9】

これは、MOS-FET2のドレイン-ソース間の電圧に比例した電圧が補助巻線Nbに発生しているのに対し、MOS-FET2が非導通状態になった直後はゲート端子が(-)にバイアスされており、2次側にエネルギーの伝達が終わると(-)のバイアスが徐々に低下するため、Cカップリングしているコンデンサ6から再びMOS-FET2のゲート端子が(+)方向にバイアスされるからである。

【0 0 1 0】

フォトカプラ12からの電流は、出力電圧Voが高いときに電流を多く流すので、それによってコンデンサ10に電流が供給され、充電時間が短くなる。これはMOS-FET2の導通時間が短くなることを示しており、これによって絶縁トランス1に蓄積されるエネルギーが減少することで出力電圧Voが下がり、定電圧動作を行って

いる。出力電圧が低い場合は逆の動作である。

【0011】

図6は、自励式フライバックコンバータ方式による回路の各部における電流または電圧の波形の様子を示す図である。 V_G はMOS-FET2のゲート電圧を、 V_{DS} はMOS-FET2のドレイン-ソース電圧を、 I_D はドレイン電流を、 V_{Ns} は2次巻線Nsに発生する電圧を、 I_S は2次側の整流ダイオード14に流れる電流を、 V_{Nb} は補助巻線Nbに発生する電圧をそれぞれ示している。

【0012】

まず、MOS-FET2のオン期間について説明する。起動抵抗4、5によりゲートにバイアスが印加され、 V_G の電位が上昇することによってMOS-FET2は導通状態となる。これにより、 I_D は時間とともに正の傾きで直線的に増加し、絶縁トランス1にエネルギーが蓄積される。このとき、 V_{DS} は、MOS-FET2が導通状態であるため電位がほぼ0になっており、一方、2次側の整流ダイオード14は、 V_{Ns} が印加されるが、逆バイアスされているため I_S は0となる。このときの補助巻線Nbの電圧を示したのが V_{Nb} である。

【0013】

コンデンサ10が充電され、トランジスタ3が導通状態になりMOS-FET2のゲート電圧 V_G は0になるため、MOS-FET2は非導通状態となる。このため、 I_D は0となり、 V_{DS} は入力電圧Eに対する2次側の出力電圧の巻線比倍の電圧とサージ電圧とを重畳したものとなる。このとき、2次側の整流ダイオード14は導通状態となり、絶縁トランス1に蓄積されたエネルギーが2次側に伝達される。 I_S は負の傾きで直線的に減少し、その際補助巻線には負電圧が発生する。

【0014】

(DC-DCコンバータ回路の動作)

電源システムにおいては、通常、スイッチング電源から出力された電圧を所望の電圧レベルとするため、DC-DCコンバータが用いられる。従来の電源システムにおいては、このようなDC-DCコンバータとして降圧型DC-DCコンバータが広く用いられている。

【0015】

図 7 は、降圧型 D C - D C コンバータの基本回路を示す図である。降圧型 D C - D C コンバータは、スイッチング電源装置の後段に配置され、スイッチング電源装置の直流出力電圧 (V_0) から任意の直流出力電圧 (V_1) を生成する。降圧型 D C - D C コンバータは主として入力コンデンサ 28、Pチャネル MOS-FET 29、インダクタ 30、ダイオード 31、整流コンデンサ 32 から構成される。Pチャネル MOS-FET 29 のソースは V_0 側に、ドレインはインダクタ 30 の一端にそれぞれ接続されている。インダクタ 30 のもう一端と GND 間には整流コンデンサ 32 が接続されている。また、インダクタ 30 の MOS-FET 29 側にはダイオード 31 のカソードが接続され、ダイオード 31 のアノードは GND に接続されている。コンパレータ 33 の出力端子は、抵抗 34 を介して MOS-FET 29 のゲートに接続され、非反転入力端子には検出電圧として出力電圧 (V_1) が抵抗 35 を介して印加され、および反転入力端子には入力電圧 (V_0) が抵抗 36、37 にて分圧されて印加されている。反転入力端子に印加された基準電圧よりも非反転入力端子に入力された出力電圧が低い場合には、コンパレータ 33 の出力は Low レベルとなり、Pチャネル MOS-FET 29 が導通し、インダクタ 30 を通じてコンデンサ 32 が充電される。コンデンサ 32 が充電され、非反転入力端子電圧が反転入力端子電圧より高くなると、コンパレータ 33 の出力は High レベルとなり Pチャネル MOS-FET 29 は非導通となって、ダイオード 31 が導通することによりインダクタ 30 の回生が終了する。以上の動作を繰り返すことで、任意の直流出力電圧を例えばマイクロコントローラ等の装置へ供給する。

【 0 0 1 6 】

(過電圧防止回路の動作)

次にループオープン、素子破壊等が発生したときに過電圧の発生を防止するための従来のスイッチング電源装置における過電圧防止回路の動作について図 5 を参照して説明する。出力側端子には抵抗 24 を介してツェナーダイオード 25 のカソードが、ツェナーダイオード 25 のアノード端子には信号を伝達するフォトカプラ 26 の発光側のアノード端子が、および GND 端子には発光側のカソード端子が、それぞれ接続されている。

【 0 0 1 7 】

MOS-FET 2 のゲート端子にはラッチ動作のサイリスタ 27 のアノード端子が接続

され、MOS-FET2のソース端子にはサイリスタ27のカソード端子が接続されている。フォトカプラ26の受光側トランジスタのコレクタはMOS-FET2のゲート端子に接続され、受光側トランジスタのエミッタはサイリスタ27のゲート端子に接続されている。

【0018】

例えば、OPアンプ18の入力端子間のショートまたはフォトカプラ12の素子オープン等により帰還信号がなくなった場合には、正常な閉ループ制御を行うことができなくなるため、出力電圧の上昇を招き、その結果出力側の回路の故障、アルミ電解コンデンサの暴爆弁の動作等を引き起こすことになる。

【0019】

従来、このような出力電圧の異常な上昇を抑えるために、ツェナーダイオード25、フォトカプラ26、サイリスタ27等で構成された回路により保護動作を行っている。以下にその動作について説明する。

【0020】

上記の閉ループ制御の異常等により、出力電圧がツェナーダイオード25の動作電圧より上昇すると、抵抗24を介してフォトカプラ26の発光側に電流が流れる。この電流はフォトカプラ26の受光側に伝達され、サイリスタ27のゲート端子にトリガ電流が供給される。これにより、サイリスタ27のアノードからカソードに向かう方向に電流が流れることになり、MOS-FET2のゲート電圧が低下する。ゲート電圧の低下によってMOS-FET2の発振は停止し、出力電圧が低下する。

【0021】

サイリスタ27には起動抵抗4側から保持電流が供給されるため、MOS-FET2の発振停止は、AC入力がおふとなり保持電流がなくなるまで継続される。この結果、出力電圧 (V_o) が低下するため、後段のDC-DCコンバータも動作を停止し、DC-DCコンバータの直流出力電圧 (V_1) も低下する。

【0022】

なお、従来技術に関する公知文献を見つけることができなかったため、先行技術文献の記載を省略する。

【0023】

【発明が解決しようとする課題】

しかしながら、従来の回路構成では過電圧防止のためサイリスタという素子を用いられており、サイリスタが高価なことから部品コストが上昇してしまうという問題がある。

【0 0 2 4】

また、注入ノイズ等によりサイリスタの誤動作を防止するため、フィルタ回路の追加が避けられない等の問題がある。

【0 0 2 5】

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、サイリスタを用いずに過電圧防止回路を構成することによって、安価な電源システムの提供およびフィルタ回路等の追加を回避することにある。

【0 0 2 6】**【課題を解決するための手段】**

このような目的を達成するために、請求項 1 に記載の発明は、商用電源からの交流電圧を整流して平滑された直流電圧を、スイッチング素子によって制御し、一定の出力電圧に変換して出力端子に出力する A C - D C コンバータにおいて、出力端子の電圧が所定の電圧となるように、スイッチング素子を制御する制御回路を有し、所定の電圧は、前記一定の直流出力より高いことを特徴とする

【0 0 2 7】**【発明の実施の形態】**

以下、図面を参照して本発明の実施例について説明する。

図 1 は、本発明の実施例にかかる A C - D C コンバータの基本回路を示す図であり、図 2 は、本発明の実施例にかかる D C - D C コンバータの基本回路を示す図である。従来技術（図 5 および図 7）と同じ機能を有する箇所に関しては符号および動作の説明は省略する。

【0 0 2 8】

図 1 において、従来技術との違いは、サイリスタ 27 を削除し、出力端子の電圧が一定の電圧を超えた場合に所定の電圧となるようスイッチング素子を制御するサブループ制御回路を付加した点である。サブループ回路は、フォトカプラ 26 の

受光側トランジスタのコレクタ端子を抵抗38を介してMOS-FET2のゲート端子に、フォトカプラ26の受光側トランジスタのエミッタ端子をトランジスタ3のベース端子にそれぞれ接続し、およびフォトカプラ26の発光側にはOPアンプ39、抵抗40～43、ツェナーダイオード44を接続するよう構成される。また、図2に示すように、本発明のDC-DCコンバータは、従来のDC-DCコンバータに比べ、過電圧保護機能をさらに設け、過電圧に対する耐久力を増強するため、コンバータの入力とコンパレータ33の非反転入力端子との間には、アノードを非反転入力端子に接続したツェナーダイオード45を付加している。以下動作について説明する。

【0029】

(サブループ制御)

図1に示したスイッチング電源のサブループ制御は、抵抗41、42によって分圧された検出電圧がOPアンプ39の反転入力端子に接続され、ツェナーダイオード44と抵抗43とで生成された基準電圧はOPアンプ39の非反転入力端子に入力される。ここで、スイッチング素子を制御して入力された直流電圧を一定の出力電圧に変換して出力端子に出力するメインループ制御の際の出力電圧 V_o の電圧値を V_{acdc1} 、サブループ制御時の出力電圧 V_o の電圧値を V_{acdc2} とすると、 $V_{acdc2} > V_{acdc1}$ となっており、直流出力電圧 V_o が V_{acdc1} を超えるとサブループ制御回路がAC-DCコンバータを制御することとなる。

【0030】

サブループ制御回路に制御が移った後は、OPアンプ39は反転入力端子の入力電圧を基準電圧と比較して、出力端子の電圧を調整することによって抵抗40を介してフォトカプラ26のダイオードに流れる電流を制御する。フォトカプラ26の受光部に流れる電流を変化させることによって、定電圧制御を行う方法については従来技術で説明したフォトカプラ12と同様である。以上により、直流出力電圧が V_{acdc1} を超え V_{acdc2} に達するまでは、サブループ制御によりAC-DCコンバータの動作が維持される。

【0031】

(過電圧保護機能)

次に、図 2 に示した D C - D C コンバータの入力電圧上昇時の動作について説明する。MOS-FET29のソース端子とコンパレータ33の非反転入力端子間に接続されたツェナーダイオード45により、D C - D C コンバータの入力電圧が上昇し、非反転入力端子電圧にツェナーダイオード45の動作電圧 (V_z) を加えた電圧、すなわち D C - D C コンバータの保護電圧よりも高くなるとツェナーダイオード45が導通し、コンパレータ33の非反転入力端子電圧が反転入力端子電圧よりも高くなる。この結果、MOS-FET29の発振が停止し、直流出力電圧が低下する。この出力の低下はツェナーダイオード45が導通している間、継続されることになる。

【 0 0 3 2 】

以上の動作より、出力を低下させるためにはサブグループ制御時の出力電圧 (V_{acdc2}) より、ツェナーダイオード45のツェナー電圧 (V_z) と D C - D C コンバータの出力電圧 (V_1) との和 ($V_z + V_1$) が低い必要がある。また、メイングループ制御時に D C - D C コンバータの出力が低下することがないようにするためには、以下の関係である必要があることがわかる。

$$V_{acdc1} < V_z + V_1 < V_{acdc2}$$

したがって、以上のサブグループ制御と過電圧保護機能とを組み合わせることによって、確実に D C - D C コンバータの出力を低下させることができ、サイリスタを用いることなく従来と同様のスイッチング電源の機能を確保することができる。

【 0 0 3 3 】

図 3 は、図 2 の D C - D C コンバータの直流出力電圧により動作する装置としてマイクロコントローラ54および直流出力電圧を監視するリセット回路を組み込んだリセット IC53を示す概略図である。リセット IC53は OP アンプ46と MOS-FET47、基準電圧発生回路48、遅延回路49等で構成される。OP アンプ46の反転入力端子には検出電圧を抵抗50、51にて分圧されたものが入力され、非反転入力端子に入力された基準電圧発生回路48からの出力と比較することで OP アンプ46は出力を変化させる。

【 0 0 3 4 】

さらに、OP アンプ46の出力には遅延回路49が付加され、検出電圧の変化に対し

てすぐにMOS-FET47の出力が変化しないようにしている。リセットIC53の出力はオープンドレインとなっており、MOS-FET47のドレインを出力端子としている。リセットIC53の出力とマイクロコントローラ54の/Reset入力との間にはプルアップ抵抗52が接続される。例えば、電源起動時には反転入力端子電圧は非反転入力端子電圧より低いため、OPアンプ46の出力はHighレベルとなる。したがって、MOS-FET47が導通状態となるためリセットICの出力はLowとなり、マイクロコントローラのリセット状態は保持される。

【 0 0 3 5 】

電源電圧の上昇により反転入力端子電圧が非反転入力端子電圧より高くなると、OPアンプ46はLow出力となり、MOS-FET47が非導通となるため、リセットIC53出力はHighレベルとなり、マイクロコントローラ54のリセット状態は解除される。リセットIC53が、以上のような動作を行うことによって電源電圧の立ち上がり特性に依存せずに、マイクロコントローラ54のリセット動作の保持、解除を確実に行うことができる。

【 0 0 3 6 】

図4は、AC-DCコンバータの異常状態（ループオープン等）による出力電圧の上昇からマイクロコントローラ54のリセットまでの一連の動作を示す図である。

【 0 0 3 7 】

まず、ループオープン等により第1の制御回路による制御であるメインループ制御が働かなくなると、サブループ制御が働き、スイッチング電源の出力電圧(V_o)が V_{acdc1} から上昇を始める。スイッチング電源の出力電圧(V_o)が V_z+V_1 に達すると、DC-DCコンバータが動作を停止して出力電圧(V_1)が低下し始める。出力(V_1)がリセット電圧まで低下すると、リセットIC53が動作し、マイクロコントローラ54の/Reset信号をLowとする。マイクロコントローラ54がリセット状態になることにより、本電源システムにより動作する装置は動作不能となり、ユーザに動作できない旨を伝えられる。

【 0 0 3 8 】

また、ループオープン等の電圧異常の状態であっても、スイッチング電源の出

力はVacdc2を基準に制御されるため、Vacdc2を素子の耐圧以下に選択することによって破壊等の状態を回避することができる。

【0039】

本発明の実施態様の例を以下に列挙する。

【0040】

〔実施態様1〕 商用電源からの交流電圧を整流して平滑された直流電圧を、スイッチング素子によって制御し、一定の出力電圧に変換して出力端子に出力するAC-DCコンバータにおいて、前記出力端子の電圧が所定の電圧となるように、前記スイッチング素子を制御する制御回路を有し、前記所定の電圧は、前記一定の直流出力より高いことを特徴とするAC-DCコンバータ。

【0041】

〔実施態様2〕 商用電源からの交流電圧を整流して平滑された直流電圧を、スイッチング素子によって制御し、一定の出力電圧に変換して出力端子に出力するAC-DCコンバータと、前記一定の直流出力電圧を任意の直流出力電圧に変換するDC-DCコンバータとを備えた電源システムにおいて、前記AC-DCコンバータは、前記出力端子の電圧が所定の電圧となるように、前記スイッチング素子を制御する制御回路を有し、前記DC-DCコンバータは、前記出力端子に出力された電圧が、前記一定の直流出力電圧より高く前記所定の電圧より低い所定の保護電圧を超えると、変換動作を停止させる保護回路を有することを特徴とする電源システム。

【0042】

〔実施態様3〕 前記DC-DCコンバータの出力電圧を監視して、前記DC-DCコンバータが変換動作を停止するとリセット信号を供給するリセット回路をことをさらに備えたことを特徴とする実施態様2に記載の電源システム。

【0043】

【発明の効果】

以上説明したように本発明によれば、AC-DCコンバータは、出力端子の電圧が所定の電圧となるように、スイッチング素子を制御する制御回路を有し、所定の電圧は、一定の直流出力より高いため、サイリスタを用いずに過電圧防止

回路を構成することができ、安価な電源システムの提供およびフィルタ回路等の追加を回避することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施例にかかる AC-DC コンバータの基本回路を示す図である。

【図 2】

本発明の実施例にかかる DC-DC コンバータの基本回路を示す図である。

【図 3】

本発明の DC-DC コンバータの直流出力電圧により動作するマイクロコントローラとリセット IC を示す概略図である。

【図 4】

本発明の AC-DC コンバータの異常状態による出力電圧の上昇からマイクロコントローラのリセットまでの一連の動作を示す図である。

【図 5】

従来の自励型フライバックコンバータの回路の基本構成を示す図である。

【図 6】

RCC 方式による回路の各部における電流または電圧の波形の様子を示す図である。

【図 7】

DC-DC コンバータの基本回路を示す図である。

【符号の説明】

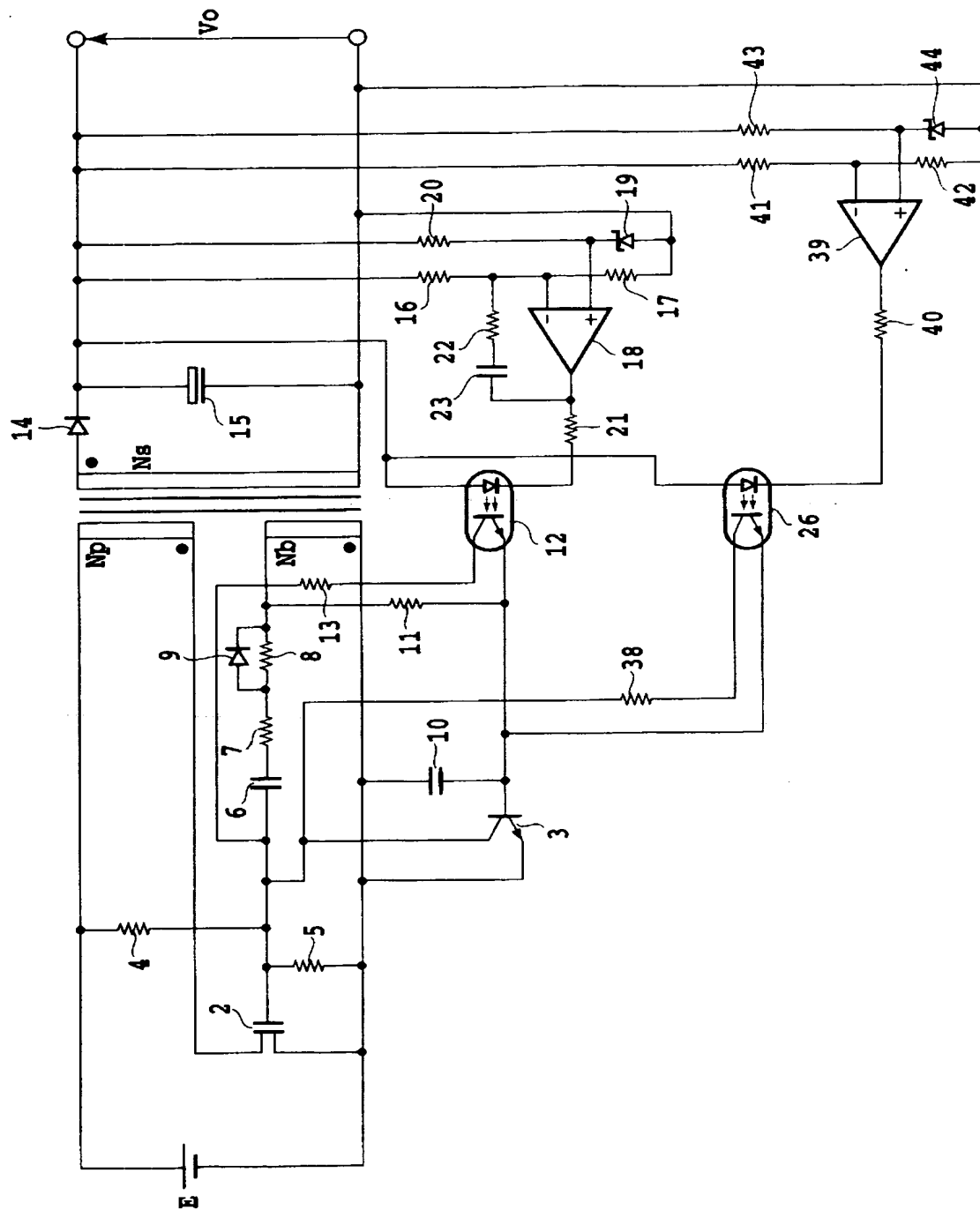
- 1 絶縁トランス
- 2、29、47 MOS-FET
- 3 トランジスタ
- 4、5、7、8、11、13、16、17、20～22、24、34～38、40～43、50～52 抵抗
- 6、10、15、23、28、32 コンデンサ
- 9、14、31 ダイオード
- 12、26 フォトカプラ

- 1 8、3 9、4 6 OPアンプ
- 1 9、2 5、4 4、4 5 ツェナーダイオード
- 2 7 サイリスタ
- 3 0 インダクタ
- 3 3 コンパレータ
- 4 8 基準電圧発生回路
- 4 9 遅延回路
- 5 3 リセットIC

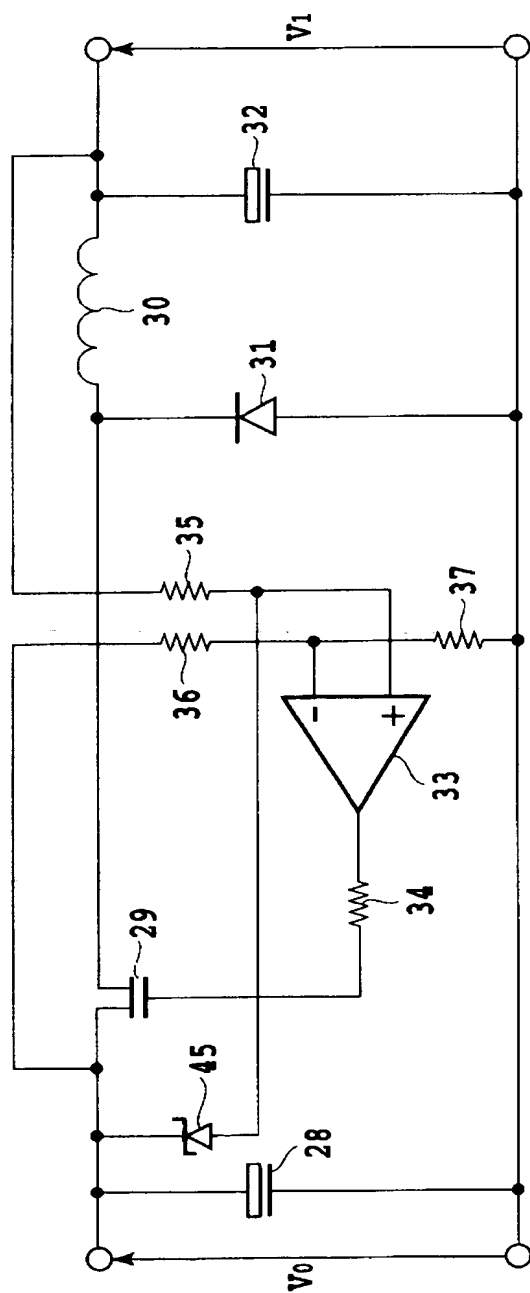
【書類名】

図面

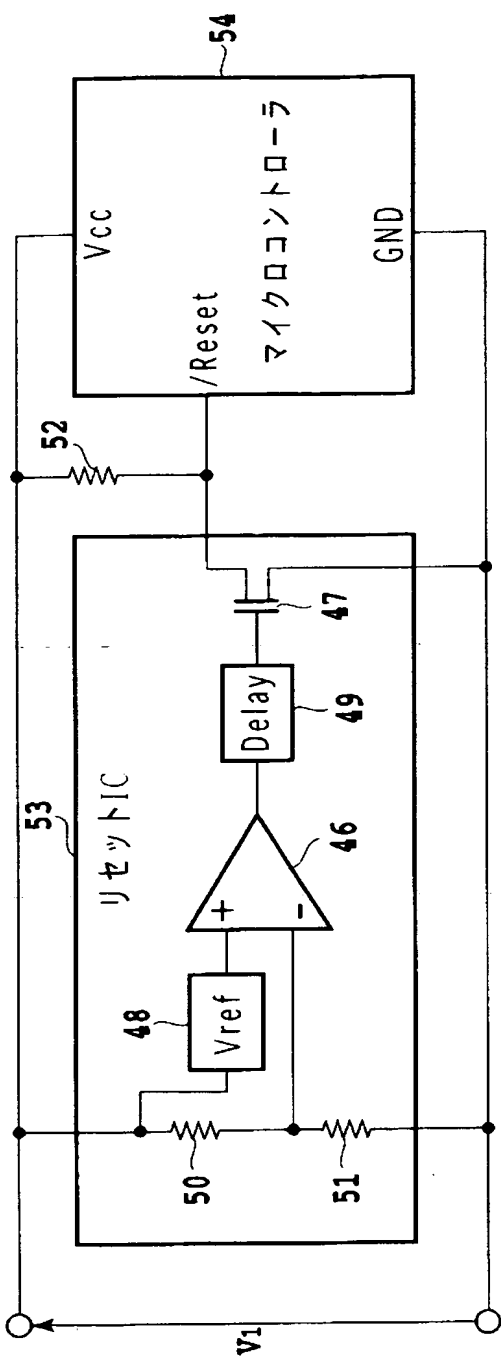
【図 1】



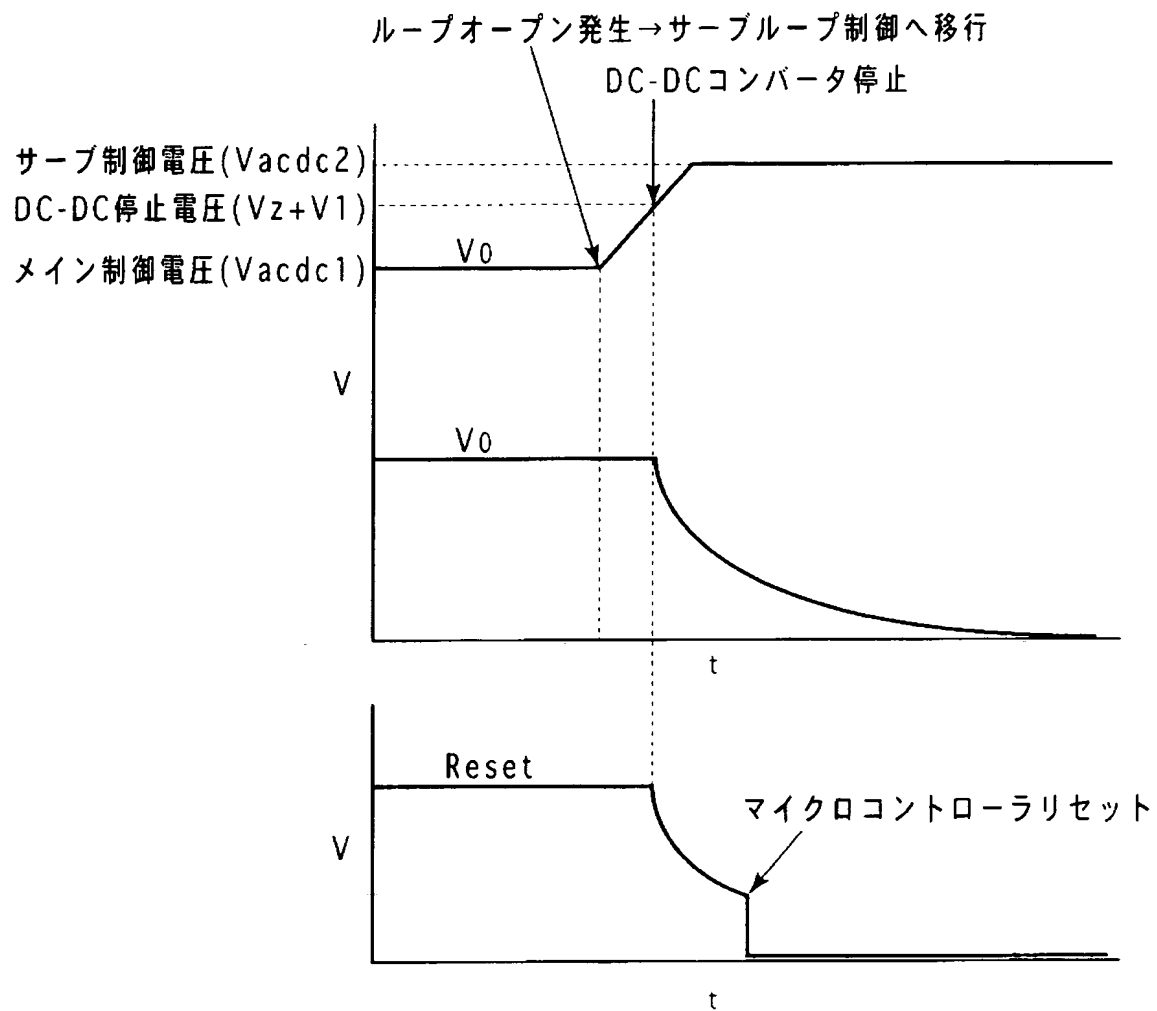
【図 2】



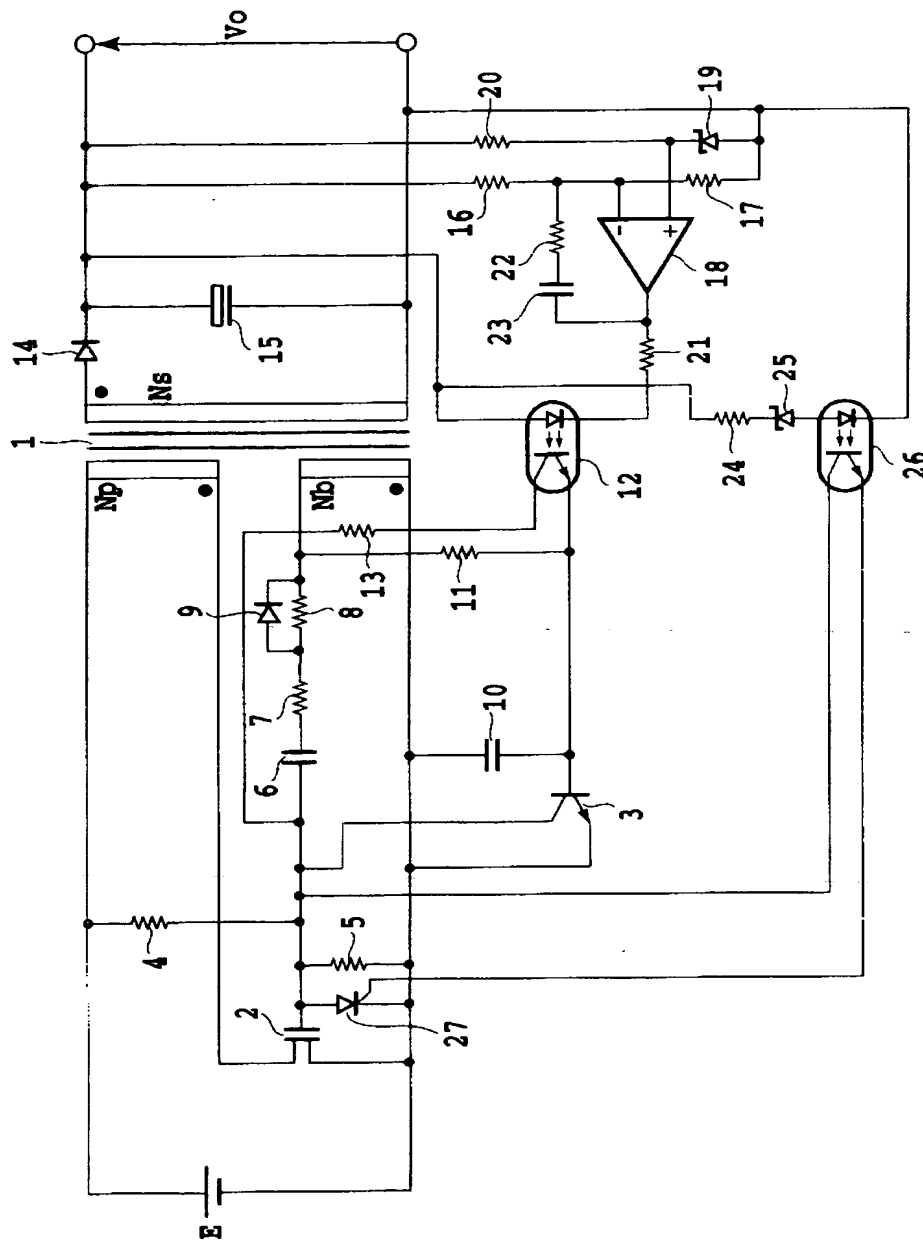
【図 3】



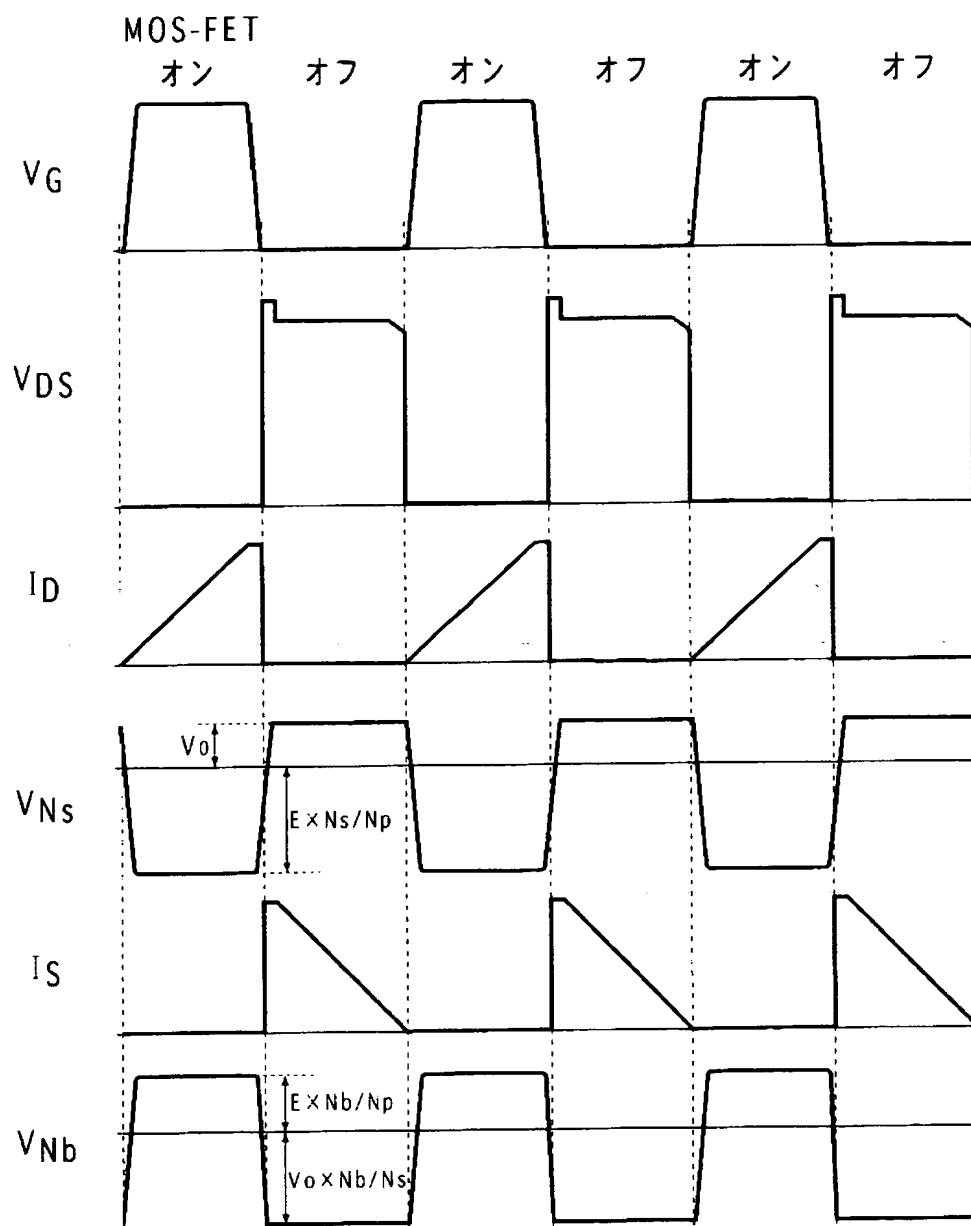
【図 4】



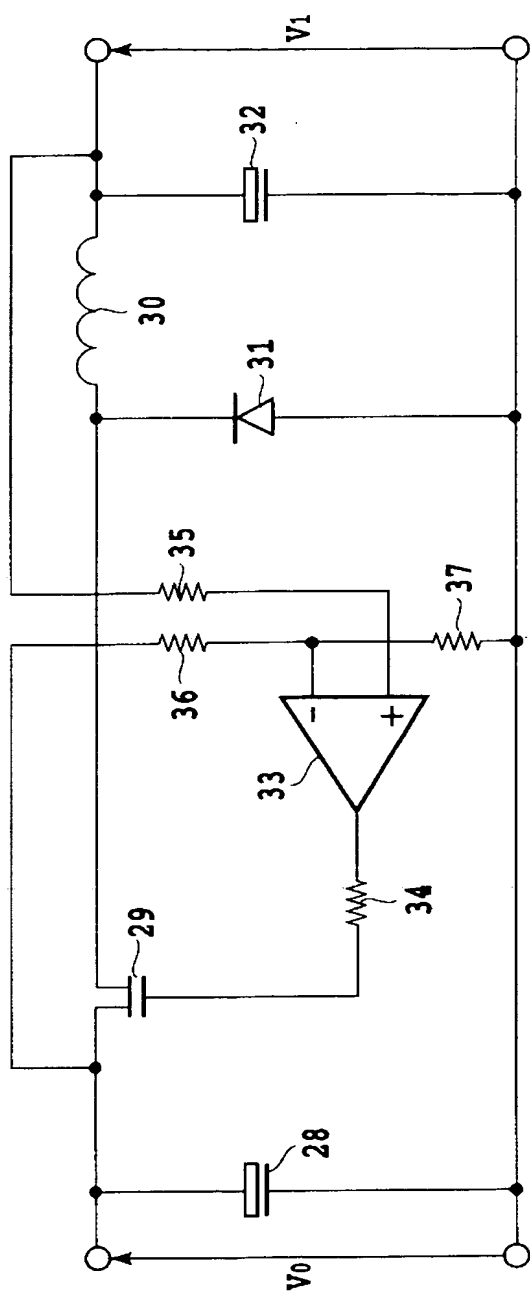
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 サイリスタを用いずに過電圧防止回路を構成することによって、安価な電源システムの提供およびフィルタ回路等の追加を回避すること。

【解決手段】 A C - D C コンバータに、フォトカプラ26の受光側トランジスタのコレクタ端子を抵抗38を介してMOS-FET2のゲート端子に、フォトカプラ26の受光側トランジスタのエミッタ端子をトランジスタ3のベース端子にそれぞれ接続し、およびフォトカプラ26の発光側にはOPアンプ39、抵抗40～43、ツェナーダイオード44を接続するよう構成されたサブループ制御回路を付加する。また、D C - D C コンバータに、コンバータの入力とコンパレータ33の非反転入力端子との間にはアノードを非反転入力端子に接続したツェナーダイオード45を付加する。

【選択図】 図 1

特願 2 0 0 3 - 0 5 1 9 2 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社